

MENU

SEARCH

INDEX

DETAIL

1/1



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11)Publication number: 10041914

(43)Date of publication of application: 13.02.1998

(51)Int.Cl.

H04J 3/14

H04J 3/08

H04L 1/00

(21)Application number: 08210476

(71)Applicant:

NEC SHIZUOKA LTD  
NEC CORP

(22)Date of filing: 23.07.1996

(72)Inventor:

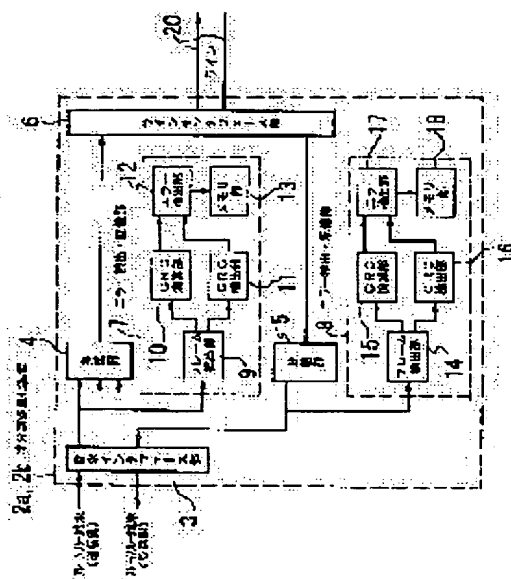
HASHIMOTO SHINJI  
NAKAMICHI ATSUSHI

## (54) TIME DIVISION MULTIPLEX RELAY SYSTEM

(57)Abstract:

**PROBLEM TO BE SOLVED:** To locate an error occurrence location by comparing a cyclic redundancy check code(CRC) in a frame with a reference CRC so as to detect the presence of an error and to store error information thereby allowing the time division multiplexer itself to detect a data error.

**SOLUTION:** A frame detection section 9 of an error detection storage section 7 detects a prescribed frame from a received signal. A CRC arithmetic section 10 operates a CRC of an address part and a CRC of a user data part and a CRC detection section 11 detects a CRC assigned to an FCS part in a frame. An error detection section 12 compares the operated CRC with the detected CRC and when they are dissident, it is discriminated that an error takes place in data communication between a frame relay terminal equipment and the time division multiplexer and the occurrence of the data error is stored in a memory section 13. Similarly when the CRCs are dissident, an error check storage section 8 stores it to a memory section 18 that data error takes place between the time division multiplexers.



LEGAL STATUS

[Date of request for examination] 23.07.1996  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the  
examiner's decision of rejection or application converted  
registration]  
[Date of final disposal for application]  
[Patent number] 2954027  
[Date of registration] 16.07.1999  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of  
rejection]  
[Date of extinction of right]

---

Copyright (C); 1998 Japanese Patent Office

---

[MENU](#)[SEARCH](#)[INDEX](#)[DETAIL](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-41914

(43) 公開日 平成10年(1998) 2月13日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 J	3/14		H 0 4 J	3/14 A
	3/08			3/08 A
H 0 4 L	1/00		H 0 4 L	1/00 D

審査請求 有 請求項の数 2 F D (全 5 頁)

(21) 出願番号 特願平8-210476

(22) 出願日 平成8年(1996) 7月23日

(71) 出願人 000197366

静岡日本電気株式会社

静岡県掛川市下俣4番2号

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 橋本 眞治

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 中道 敦司

静岡県掛川市下俣4番2 静岡日本電気株式会社内

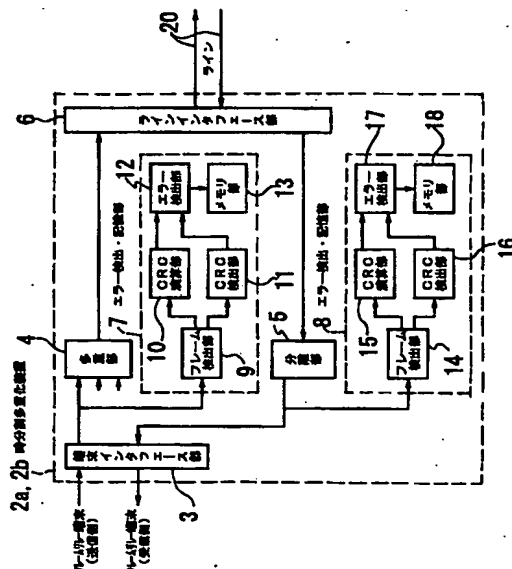
(74) 代理人 弁理士 原田 信市

(54) 【発明の名称】 時分割多重化中継システム

(57) 【要約】

【課題】 フレームリレー端末間に時分割多重化装置を接続して通信を中継する時分割多重化中継システムにおいて、外付け測定器を使用したり、ループ試験を行わなくとも、時分割多重化装置自体でデータエラーを検出してエラー発生個所を特定できるようにする。

【解決手段】 時分割多重化装置内に、入出力信号のフレームを検出するフレーム検出部9・14と、フレーム内データの巡回冗長検査コードを演算するCRC演算部10・15と、その演算を行うデータに付加されている巡回冗長検査コードを検出するCRC検出部11・16と、これら2つの巡回冗長検査コードを比較してデータエラーを検出するエラー検出部12・17と、そのエラー情報を記憶するメモリ部13・18とを備える。



## 【特許請求の範囲】

【請求項1】 フレームリレー端末間に時分割多重化装置を接続して通信を中継する時分割多重化中継システムにおいて、前記時分割多重化装置に、データの巡回冗長検査コードをフレーム毎に演算するCRC演算手段と、その演算を行うデータに付加されている巡回冗長検査コードを検出するCRC検出手段と、これら2つの巡回冗長検査コードを比較してデータエラーを検出するエラー検出手段と、そのエラー情報を記憶する記憶手段とを備えたことを特徴とする時分割多重化中継システム。

【請求項2】 CRC演算手段とCRC検出手段とエラー検出手段と記憶手段とを、入力データと出力データのそれぞれに対して設けたことを特徴とする請求項1記載の時分割多重化中継システム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、フレームリレー端末間に時分割多重化装置を接続して通信を中継する時分割多重化中継システムに関する。

## 【0002】

【従来の技術】 従来、この種の中継システムでは、フレームリレー端末と時分割多重化装置間の入出力データを時分割多重化装置で監視していないため、データエラーが発生した場合、外付け測定器によりフレームリレー端末と時分割多重化装置間のデータをモニタしたり、時分割多重化装置間でループ試験を行わなければ、その原因となった個所を特定できなかった。

## 【0003】

【発明が解決しようとする課題】 本発明の課題は、外付け測定器を使用したり、ループ試験を行わなくとも、時分割多重化装置自体でデータエラーを検出してエラー発生個所を特定できるようにすることにある。

## 【0004】

【課題を解決するための手段】 本発明の時分割多重化中継システムは、時分割多重化装置に、データの巡回冗長検査コード(CRC)をフレーム毎に演算するCRC演算手段と、その演算を行うデータに付加されている巡回冗長検査コードを検出するCRC検出手段と、これら2つの巡回冗長検査コードを比較してデータエラーを検出するエラー検出手段と、そのエラー情報を記憶する記憶手段とを備えたものである。

【0005】 CRC演算手段とCRC検出手段とエラー検出手段と記憶手段とは、入力データと出力データのそれぞれに対して設けるのが良い。

## 【0006】

【作用】 時分割多重化装置へ入力されたデータは、フレーム毎にCRCを演算されるとともに、そのフレーム中のCRCを検出される。これらCRCを比較することでエラーの有無が検出され、エラー有りの場合にはエラー情報が記憶される。

【0007】 時分割多重化装置から出力されるデータについても、フレーム毎にCRCを演算されるとともに、そのフレーム中のCRCを検出される。これらCRCを比較することでエラーの有無が検出され、エラー有りの場合にはエラー情報が記憶される。

## 【0008】

【発明の実施の形態】 次に、本発明の実施の形態を図面に基いて詳述する。

【0009】 図1に、本発明による時分割多重化中継システムの一例の概要を示す。このシステムでは、フレームリレー端末1a側とフレームリレー端末1b側のそれぞれに時分割多重化装置2a・2bをそれぞれ設け、これらフレームリレー端末2a・2b間の通信を時分割多重化装置2a・2bで中継する。時分割多重化装置2a・2b相互はライン20で接続されている。

【0010】 各時分割多重化装置2a・2b内には、フレームリレー端末1a又は1bとデータの送受信をする端末インタフェース部3と、複数の端末インタフェース部3から出力されたデータを多重する多重部4と、ライン20から入力されたデータを複数に分離する分離部5と、多重部4の出力をライン20へ出力し、ライン20からのデータを分離部5へ出力するラインインタフェース部6と、端末インタフェース部3が多重部4へ出力するデータの巡回冗長検査コード(以下、CRCと記す)を監視してデータエラーの有無を検出し、エラー有りの場合、そのことを記憶するエラー検出・記憶部7と、分離部5が端末インタフェース部3へ出力するデータのCRCを監視してデータエラーの有無を検出し、エラー有りの場合、そのことを記憶するエラー検出・記憶部8とが備えられている。

【0011】 図1の構成の動作を説明する。フレームリレー端末1a又は1bから端末インタフェース部3へ入力されたデータは、多重部4へ出力されると共にエラー検出・記憶部7へ出力される。エラー検出・記憶部7では、データのCRCを演算し、その演算したCRCとデータに付加されてきたCRCとを比較してエラーの有無を検出する。エラーが有った場合には、そのことを記憶する。ライン20から分離部5へ入力されたデータは、分離部5で複数の信号に分離して端末インタフェース部3へ出力されると共に、エラー検出・記憶部8へ出力される。エラー検出・記憶部8では、エラー検出・記憶部7と同様に、データのCRCを演算し、その演算したCRCとデータに付加されてきたCRCとを比較してエラーの有無を検出する。エラーが有った場合には、そのことを記憶する。

【0012】 図2に各時分割多重化装置2a・2b内の具体的構成、特にエラー検出・記憶部7及び8の具体的構成を示す。エラー検出・記憶部7は、端末インタフェース部3の出力信号からフレームを検出するフレーム検出部9と、このフレーム検出部9で検出されたフレーム

内のデータのCRCを演算するCRC演算部10と、フレーム内データに付加されてきたCRCを検出するCRC検出部11と、これら2つのCRCを比較してデータエラーの有無を検出するエラー検出部12と、データエラーが有った場合、そのこと(エラー情報)を記憶しておくメモリ部13とで構成される。

【0013】また、エラー検出・記憶部8は、分離部5の出力信号からフレームを検出するフレーム検出部14と、このフレーム検出部14で検出されたフレーム内のデータのCRCを演算するCRC演算部15と、フレーム内データに付加されてきたCRCを検出するCRC検出部16と、これら2つのCRCを比較してデータエラーの有無を検出するエラー検出部17と、データエラーが有った場合、そのこと(エラー情報)を記憶しておくメモリ部18とで構成される。

【0014】図3は、フレームリレー端末1a・1bの入出力データのフレーム構成を示す。1フレームは、スタートフラグとアドレス部とユーザデータとフレームチェックシーケンス(FCS部)とエンドフラグ部とで構成され、FCS部分にCRCが割り当てられている。

【0015】次に、図2及び図3を参照してエラー検出・記憶部7・8の動作を説明する。エラー検出・記憶部7は、端末インタフェース部3より入力された信号から図3に示すフレームをフレーム検出部9により検出する。この検出されたフレームは、CRC演算部10とCRC検出部11とに入力され、CRC演算部10では、フレーム中のアドレス部とユーザデータ部分のCRCを演算し、CRC検出部11では、フレーム中のFCS部分に割り当てられているCRCを検出する。このFCS部分に割り当てられているCRCは、自己側のフレームリレー端末においてアドレス部とユーザデータ部分のCRCを演算したものである。エラー検出部12では、CRC演算部10で演算したCRCとCRC検出部11で検出したCRCとを比較し、これらCRCが一致していれば、フレームリレー端末と当該時分割多重化装置との間のデータ通信は正常に行われたと判断し、CRCが一致していなければ、フレームリレー端末と当該時分割多重化装置との間のデータ通信においてエラーが発生したと判断する。後者(CRCが不一致)の場合は、フレームリレー端末と当該時分割多重化装置との間でデータエラーが発生したことをメモリ部13に記憶しておく。

【0016】また、エラー検出・記憶部8は、分離部5より入力された信号から図3に示すフレームをフレーム検出部14により検出する。この検出されたフレームは、CRC演算部15とCRC検出部16とに入力され、CRC演算部15では、フレーム中のアドレス部とユーザデータ部分のCRCを演算し、CRC検出部16では、フレーム中のFCS部分に割り当てられているCRCを検出する。このFCS部分に割り当てられているCRCは、対向先のフレームリレー端末においてアドレ

ス部とユーザデータ部分のCRCを演算したものである。エラー検出部17では、CRC演算部15で演算したCRCとCRC検出部16で検出したCRCとを比較し、これらCRCが一致していれば、対向している2つの時分割多重化装置間のデータ通信は正常に行われたと判断し、CRCが一致していなければ、対向している2つの時分割多重化装置間のデータ通信においてエラーが発生したと判断する。後者(CRCが不一致)の場合は、時分割多重化装置間でデータエラーが発生したことをメモリ部18に記憶しておく。

【0017】

【発明の効果】以上説明したように本発明によれば、時分割多重化装置への入出力データについて、フレーム毎にCRCを演算するとともに、そのフレーム中のCRCを検出し、これらCRCを比較することでエラーの有無を検出し、エラー有りの場合にはエラー情報を記憶しておくので、フレームリレー端末間の通信にデータエラーが発生した場合、送信側の記憶手段の記憶内容を確認し、データエラーが発生したことが記憶されていたら、フレームリレー端末と時分割多重化装置間でデータエラーが発生したと特定できる。また、受信側の記憶手段の記憶内容を確認し、データエラーが発生したことが記憶されていたら、対向している時分割多重化装置間でデータエラーが発生したと特定できる。

【0018】従って、従来のように外付け測定器を使用したり、ループ試験を行わなくとも、時分割多重化装置自体でデータエラーを検出してエラー発生箇所を特定できる。

【図面の簡単な説明】

【図1】本発明による時分割多重化中継システムの一例の概要を示すブロック図である。

【図2】時分割多重化装置の具体例を示すブロック図である。

【図3】フレームリレー端末の入出力データのフレーム構成図である。

【符号の説明】

1a・1b フレームリレー端末

2a・2b 時分割多重化装置

3 端末インタフェース部

4 多重部

5 分離部

6 ラインインタフェース部

7 エラー検出・記憶部

8 エラー検出・記憶部

9 フレーム検出部

10 CRC演算部

11 CRC検出部

12 エラー検出部

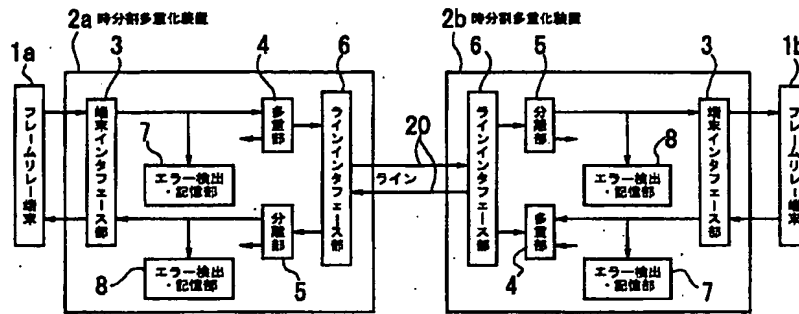
13 メモリ部

14 フレーム検出部

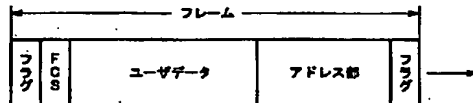
15 CRC演算部  
16 CRC検出部  
17 エラー検出部

18 メモリ部  
20 ライン

【図1】



【図3】



【図2】

